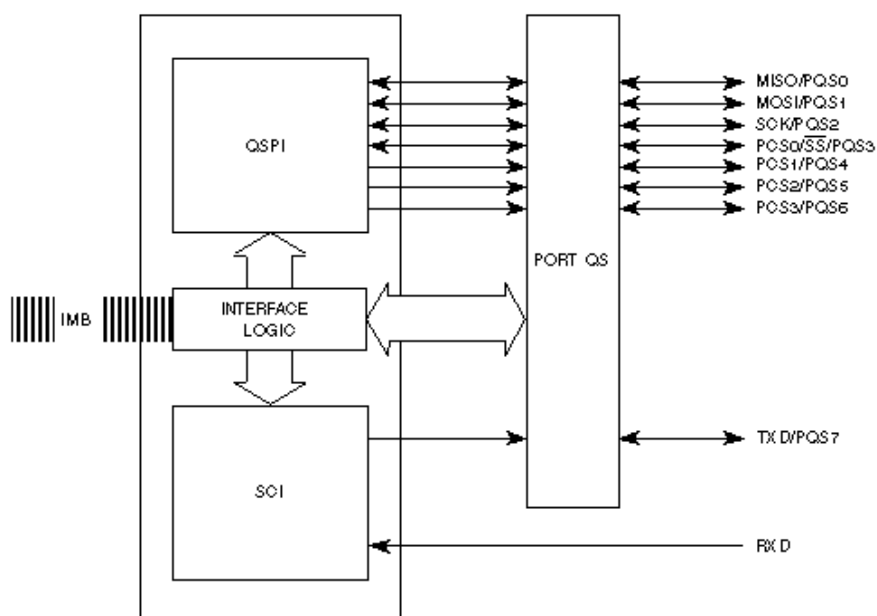


6. MODUL ZA SERIJSKO KOMUNIKACIJO - QSM

QSM (Queued Serial Module) je modul, ki vsebuje dva vmesnika za serijsko komunikacijo mikrokontrolerja MC68332: **QSPI** (Queued Serial Peripheral Interface) in **SCI** (Serial Communication Interface).

QSPI je *full-duplex*¹ sinhronski serijski vmesnik za komunikacijo s periferijo in ostalimi mikroprocesorji. SCI je full-duplex univerzalni asinhronski zaporedni vmesnik (angl. Universal Asynchronous Receiver/Transmitter - UART). Slika 6. 1 kaže blokovno shemo QSM.

Značilnost *sinhrone komunikacije* je sinhronizacija prenosa bitov s posebnim časovnim signalom. Pri *asinhronski komunikaciji* se prenos podatkov začne v poljubnem trenutku, ob spremembi t.i. *start bita*.



Slika 6. 1: Blokovna shema QSM

Delovanje QSM krmili CPU prek globalnih registrov, QSPI in SCI nadzornih in statusnih registrov ter QSPI RAM, v katerega vpisujemo ali beremo vhodno/izhodne podatke (slika 6. 2).

Prek QSM konfiguracijskega registra (QMCR) določamo osnovne nastavitve QSM (omogočanje delovanja, prioriteto QSM prekinitve z ozirom na ostale module MC68332 itd.), QILR pa določa interni prekinitveni prioriteti QSPI in SCI.

¹ Izraz izvira iz brezžične komunikacijske tehnike in označuje način komuniciranja med dvema uporabnikoma: *simplex* kanal omogoča enosmerno komunikacijo, *half-duplex* izmenično dvosmerno, *full-duplex* pa hkratno dvosmerno komunikacijo.

	15	8	7	0
Yffc00	QMCR			
Yffc02	QTEST			
Yffc04	QILR		QIVR	
Yffc06	REZERVIRANO			
Yffc08	SCCR0			
Yffc0a	SCCR1			
Yffc0c	SCSR			
Yffc0e	SCDR			
Yffc10	REZERVIRANO			
Yffc12	REZERVIRANO			
Yffc14	REZER.		QPDR	
Yffc16	QPAR		QDDR	
Yffc18	SPCR0			
Yffc1a	SPCR1			
Yffc1c	SPCR2			
Yffc1e	SPCR3		SPSR	
Yffc20 - ff	REZERVIRANO			
Yffd00 - 1f	REC. RAM			
Yffd20 - 3f	TRAN. RAM			
Yffd40 - 4f	COMD. RAM			

Slika 6. 2: Spominska mapa QSM

Razen inicializacije QSM je naloga CPU pri zaporednem prenosu le branje prejetih ali vpisovanje podatkov za pošiljanje. Samo komunikacijo opravlja QSM neodvisno od CPU in ga na tačin bistveno razbremeni.

6.1 Registri za krmiljenje QSM nožic

Nožice QSM (razen SCK) lahko uporabljamo kot navadne binarne vhode/izhode (s čimer povečamo skupno število vhodov in izhodov), ali pa jim dodelimo njihovo primarno funkcijo, to je serijsko komunikacijo². Za izbiro med dvema režimoma uporabljamo registre QPDR (QSM Port Data Register), QPAR (QSM Pin Assignment Register) in QDDR (QSM Data Direction Register) (slika 6. 3).

QPAR določa funkcijo nožic: resetiranje bitov (stanje 0) določa ustrezne nožice kot splošne binarne vhode/izhode (I/O), setiranje (signal 1) pa jim dodeljuje njihovo prvotno funkcijo QSM nožic. Nožicam, ki delujejo kot vhodi/izhodi določamo smer pretoka s pomočjo registra QDDR; setiranje jih definira kot izhode, resetiranje kot vhode. Za postavljanje tako določenega vhoda v željeno stanje (1 ali 0) ali čitanje stanja vhodne nožice skrbi register QPDR.

Če so nožice v funkciji serijskega prenosa (QSM ali QSPI) obdržijo svojo prvotno funkcijo.

² Nožice, ki v določenem trenutku niso v funkciji serijskega prenosa (tudi, če ostale pri tem sodelujejo), so lahko definirane kot vhodi ali izhodi. Le SCK je pri sinhronskem prenosu nujno potreben.

QPDR

Naslov: Yffc15_{HEX}

15	8	7	6	5	4	3	2	1	0
REZERVIRANO	D7 (TXD)	D6 (PCS3)	D5 (PCS2)	D4 (PCS1)	D3 (PCS0/ <u>SS</u>)	D2 (SCK)	D1 (MOSI)	D0 (MISO)	

RES:

0 0 0 0 0 0 0 0 0

QPAR

Naslov: Yffc16_{HEX}

15	14	13	12	11	10	9	8	7	0
0	PCS3	PCS2	PCS1	PCS0/ <u>SS</u>	0	MOSI	MISO	xxxxxxxxxxxxxxxxxxxx	

RES:

0 0 0 0 0 0 0 0

0 = splošno uporabni vhodi/izhodi

1 = QSPI modul

QDDR

Naslov: Yffc17_{HEX}

15	8	7	6	5	4	3	2	1	0
xxxxxxxxxxxxxxxxxxxx	TXD	PCS3	PCS2	PCS1	PCS0/ <u>SS</u>	SCK	MOSI	MISO	

RES:

0 0 0 0 0 0 0 0 0

0 = vhod

1 = izhod

Slika 6. 3: Registri za določanje funkcije QSM**6.2 Sinhronska serijska komunikacija (QSPI)**

Mikrokrmilniški modul QSPI je namenjen sinhronski serijski komunikaciji z ustrezno periferno enoto (npr. serijskim A/D pretvornikom) ali drugim mikroračunalnikom. QSPI je izboljšana inačica Motorolinega standarda SPI (Serial Peripheral Interface), ki je prisoten tudi na manj zmogljivih mikrokrmilnikih (npr. na 8-bitnem MC68HC11). Osnovne značilnosti SPI so:

- Sinhronski trižilni Full-Duplex ali štirižilni Half-Duplex prenos.
- Master ali Slave način obratovanja.
- Programirljiva hitrost prenosa pri Master obratovanju.
- Možnost generiranja prekinitve po končanem prenosu.
- Preprosta povezava z razširitvenimi enotami: A/D pretvorniki, EEPROMi, prikazovalniki (display) itd.

QSPI vsebuje nekatere dodatne funkcije:

- Programirljivo vrsto (angl. queue³) - do 16 vnaprej programiranih prenosov.
- Programirljivo generiranje signala za izbiro čipov (CS) - štiri nožice lahko naslovijo do 16 perifernih vezij.
- Preskočni (angl. wraparound) način prenosa - možnost avtomatičnega cikličnega naslavljanja periferije (npr. A/D pretvornika) brez posredovanja CPU.
- Programirljiva dolžina serijskega podatka (od 6 do 16 bitov) itd.

Pri serijski povezavi QSPI modula s periferno enoto ali drugim QSPI modulom se moramo odločiti, kdo bo imel "glavno besedo" pri komunikaciji (angl. *Master* - nadrejeni, dobesedno: gospodar). Vse ostale enote (ena ali več) se morajo prilagoditi njegovemu "diktatu" in imajo podrejeno vlogo sužnjev (angl. *Slave*)⁴. Izbiro med Master ali Slave načinom delovanja opravimo z MSTR bitom v registru SPCR0 (1 - QSPI je sistemski Master, 0 - QSPI je Slave). Prenos podatkov krmilimo preko naslednjih nožic:

Ime nožice	Mnemonik (simbol)	Način delovanja	Funkcija
Master In Slave Out	MISO	Master: Slave:	Serijski vhodni podatki v QSPI Serijski izhodni podatki iz QSPI
Master Out Slave In	MOSI	Master: Slave:	Serijski izhodni podatki iz QSPI Serijski vhodni podatki v QSPI
Serijska ura (clock)	SCK ¹	Master: Slave:	Izhodni takt iz QSPI Vhod v QSPI
Periferni <u>CS</u>	PCS3-PCS1	Master:	Izhod; izbira periferije
Periferni <u>CS</u> ² ali izbira Slave ³	PCS0/ <u>SS</u>	Master: Slave:	Izhod; izbira periferije Vhod; izbire QSPI
Izbira Slave ⁴	<u>SS</u>	Master:	Lahko povzroči konflikt

Pripombe:

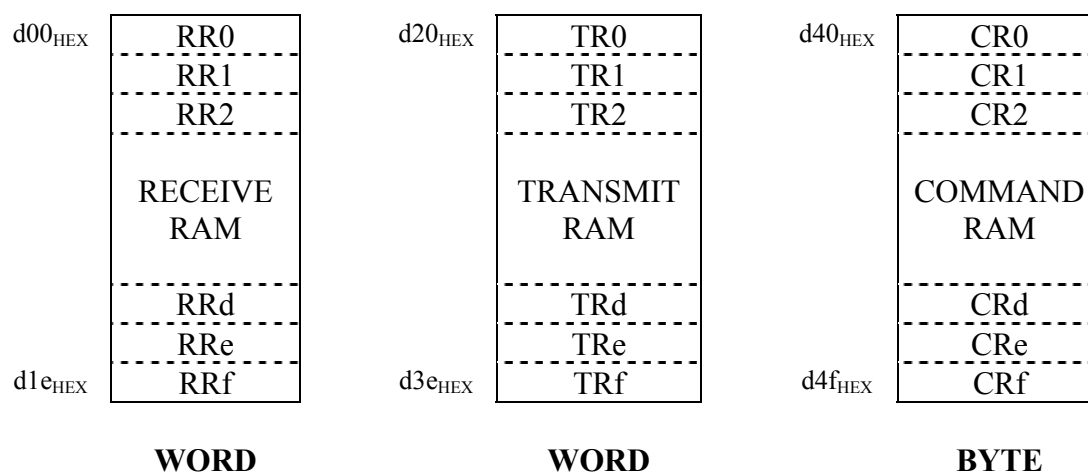
1. Vse QSPI nožice (razen SCK) lahko uporabljamo kot vhode/izhode, če jih QSPI ne uporablja za prenos.
2. Izhod, če QSPI deluje kot Master.
3. Vhod, če QSPI deluje kot Slave.
4. Vhod, če QSPI deluje kot Master; koristen, če imamo sistem s več Master enotami.

Pri snovanju Master-Slave konfiguracije moramo skrbeti za ustrezno povezavo med enotami ter definiranje QSPI nožic na obeh straneh komunikacijske verige. Tako bo na primer Master preko MOSI nožice pošiljal izhodne serijske podatke prek QSPI, pri Slave enoti pa bodo na tej nožici prihajali vhodni podatki. Primer povezave s podrejenim D/A pretvornikom je prikazan v pogl. 6.2.1.

Vhodni podatki (pri podrejenem) ali izhodni podatki (pri nadrejenem) se vpisujejo v QSPI RAM. MC68332 ima možnost vspisovanja ali zajemanja šestnajstih 16-bitnih besed (slika 6. 4). V to področje lahko posega tudi CPU in bere ali vpisuje podatke za prenos. Konkretna lokacije posameznih RAM področij si lahko ogledamo tudi na sliki 6. 2.

³ Vrsta je podatkovna struktura, kjer se vhodni ali izhodni komunikacijski podatki nalagajo v posebno pomnilniško področje, ki deluje po FIFO principu (angl. First In First Out: prvi noter - prvi ven).

⁴ Običajno imamo le enega nadrejenega in enega ali več podrejenih (npr. več pretvornikov ali procesorjev), obstaja pa tudi možnost definiranja t.i. multimaster sistema z več nadrejenimi enotami.

**Slika 6. 4: Organizacija QSPI RAM**

Vhodni podatki se shranjujejo v sprejemni RAM (angl. receive RAM), podatke, ki jih Master pošilja proti periferiji, pa vpisuje CPU v oddajni RAM (angl. transmit RAM).

Prenos vsake izmed posameznih šestnajstih besed v ali iz katerega komunikacijskega partnerja krmilimo preko krmilnega ali ukaznega RAM (angl. command control RAM). Smer in način pošiljanja določamo prek setiranja ustreznega bita v ukaznem RAM (slika 6. 5).

						Naslov: Yffd40 _{HEX}	
7	6	5	4	3	2	1	0
CONT	BITSE	DT	DSCK	PCS3	PCS2	PCS1	PCS0*
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
CONT	BITSE	DT	DSCK	PCS3	PCS2	PCS1	PCS0*

- BITSE - število bitov, ki jih pošiljamo ali sprejmemo (1 - število bitov, določeno v registru SPCR0, 0 - 8 bitov)⁵.
- DT - zakasnitev med dvema signaloma za izbiro perifernega vezja PCS in SCK (1 - zakasnitev določena v DSCKL polju registra SPCR1, 0 - zakasnitev enaka 1/2 SCK).

Poleg omenjenih registrov je treba pred začetkom prenosa definirati tudi druge parametre, ki odločilno vplivajo na njegov potek. Tako je npr. serijski prenos (preko MOSI ali MISO nožice) sinhroniziran s frekvenco časovnega signala na nožici SCK. Izbira ustrezne kombinacije bitov v SPBR polju registra SPCR0 omogoča frekvenco SCK od 33 kHz do 4,19 MHz (pri sistemski frekvenci MC68332 16,77 MHz). Pri izbiri frekvence prenosa izhajamo iz karakteristik perifernih enot, s katerimi komuniciramo. Tako npr. večina A/D in D/A pretvornikov lahko pošilja zaporedne podatke s frekvenco do nekaj sto kHz. Hitrost prenosa je odvisna tudi od okolja (problem motenj pri visokih frekvencah).

6.2.1 *Serijski A/D in D/A pretvorniki (primer sinhronske serijske komunikacije)*

“Klasični” paralelni A/D in D/A pretvorniki komunicirajo s procesorjem preko paralelnega vmesnika (pogl. 12.4). Po naslavljanju se vsi podatkovni biti (npr. 16 bitov) pošljejo hkrati - v enem samem časovnem ciklu - na podatkovno vodilo. Na ta način dosežemo maksimalno možno hitrost prenosa. Po drugi strani narekuje takšen pristop v določenih aplikacijah izdelavo dokaj zapletenega vezja. Mikroprocesor in pretvornik si morata deliti podatkovno vodilo (npr. 16-bitno) in ostale signale (CS, AS ...). V primerih, ko imamo na voljo le enoplastno ploščico, na kateri se nahaja veliko integriranih vezij, pride kmalu do velike “gneče”, saj se številne povezave med seboj križajo.

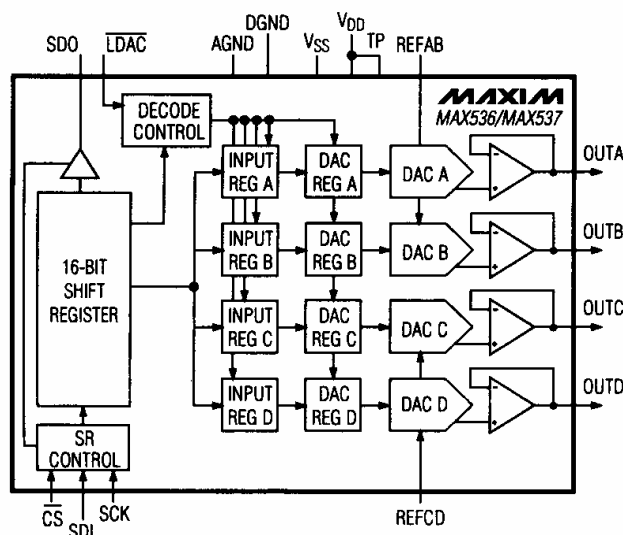
Po drugi strani je poglobljena lastnost serijske komunikacije prenos po eni ali dveh linijah, kar bistveno zmanjša število povezav. Osnovna pomanjkljivost takšne izvedbe je nižja hitrost prenosa, saj se biti pošiljajo zapovrstjo. Čas, potreben za prenos šestnajstih bitov, bo daljši od 16 urin ciklov. V povezavah preko asinhronskega vmesnika EIA-232 (prej RS-232C) je tak prenos prepočasen⁶ in v aplikacijah z A/D in D/A pretvorniki pride le redkokdaj v poštev. Serijska komunikacija s pretvorniki je smiselna le, če so hitrosti prenosa nekaj sto Kbps (angl. bits per second - bps⁷). To zahteva posebne pretvornike ter poseben protokol in vmesnik tipa SPI oz. QSPI pri Motorolinskih procesorjih, Microwire itd.

⁵ Odvisno od zahtev sistema. Pri komunikaciji z D/A pretvornikom MAX 536 npr., pošiljamo 16-bitni podatek (glej tudi pogl. 6.2.1)

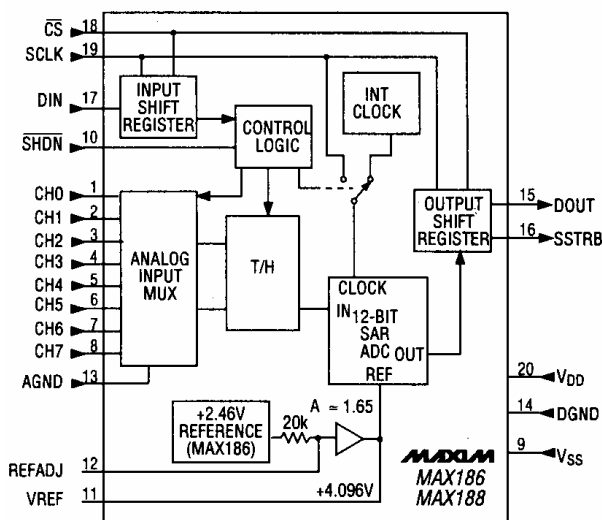
⁶ Npr. pri 19200 bps pošljemo 19200 bitov v sekundi. Glede na to, da se v paketu poleg šestnajstih podatkovnih bitov (moramo jih razbiti na vsaj dva paketa po 8 bitov) nahajajo še startni bit, eden ali dva stop bita in paritetni bit, bo celoten prenos ene besede trajal več kot 1 ms. Ob upoštevanju dejstva, da traja paralelna komunikacija s pretvornikom nekaj μ s, hitro ugotovimo nesmotnost uporabe takega pristopa.

⁷ Za označevanje hitrosti prenosa se uporablja tudi izraz *baud* (kratica Bd), ki izvira iz telegrafije. Zaradi možnih različnih tolmačenj tega izraza se raje zamenjuje z izrazom bits per second ali bytes per second.

V tem poglavju si bomo ogledali tipična predstavnika serijskih pretvornikov firme MAXIM: 4-kanalni, 12-bitni D/A pretvornik (MAX536, slika 6. 6) in 8-kanalni 12-bitni A/D pretvornik (MAX186, slika 6. 7), v povezavi s QSPI vmesnikom.



Slika 6. 6: Blokovna shema serijskega D/A pretvornika MAX 536/537



Slika 6. 7: Blokovna shema serijskega A/D pretvornika MAX 185/186

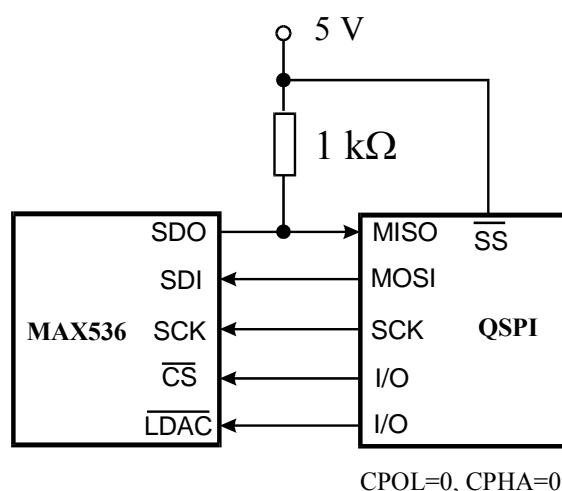
Osnovno povezavo D/A pretvornika s QSPI modulom mikrokrmilnika (npr. MC68HC11 ali MC68332) kaže slika 6. 8. Pretvornik lahko sprejme in celo pošilja serijske podatke. Zato je treba nožico za vhodne serijske podatke (izhoda iz pretvornikov: SDO - Serial Data Output ali DOUT za A/D na sliki 6. 7) povezati z vhodno nogico QSPI (MISO - Master Input Slave Output). Za podatke, ki tečejo v nasprotni smeri, povežemo nožici SDI (Serial Data Input ali DIN za A/D pretvornik) in MOSI (Master Output Slave Input). Vezava izhoda SDO na QSPI ni nujno

potrebna (lahko ga uporabimo za verifikacijo podatkov), na SDI nogico pa pripeljemo digitalno vrednost, ki jo želimo pretvoriti v analogno.

Vhod CS ima enako funkcijo, kot pri vseh ostalih integriranih vezjih: le pri aktivnem CS (logični signal 0) je omogočena komunikacija s pretvornikom. Neaktivni CS zapahne (angl. latch) podatke v vmesnih registrih.

Serijski podatki "potujejo" v sinhronizmu s frekvenco, ki jo narekuje "serijska ura" SCK (angl. Serial Clock, SCLK za A/D pretvornik na sliki 6. 7). V konkretnem primeru je maksimalna možna frekvenca na SCK 10 MHz.

Aktivni signal na vhodu LDAC omogoča prenos podatkov iz vhodnih registrov (angl. Input Registers) posameznih kanalov v DAC registre (glej sliko 6. 6). Povezava tega signala s QSPI, podobno kot tudi SDO, ni nujno potrebna. V tem primeru ga vežemo na maso in tako omogočimo takojšnji prehod signalov iz vhodnih v DAC registre.

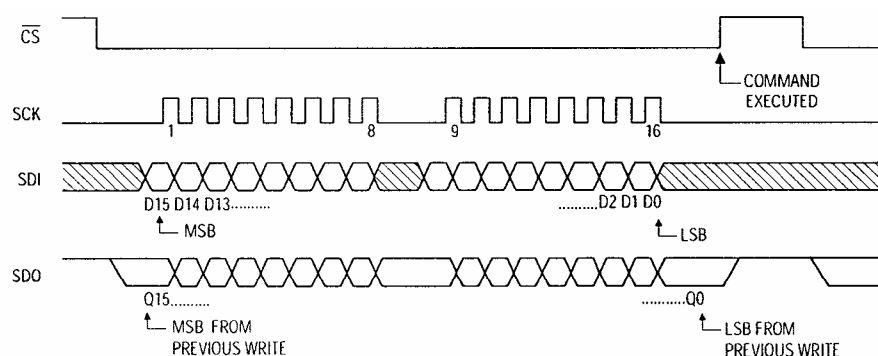


Slika 6. 8: Povezava D/A pretvornika s serijskim vmesnikom MAX536 in QSPI modula mikrokrmilnika

Iz povedanega je razvidno, da je serijsko povezavo med pretvornikom in procesorjem možno izvesti že s tremi vodniki (brez SDO in LDAC), kar je bistveno manj kot pri paralelnih A/D in D/A pretvornikih!

6.2.1.1 Časovni potek in format podatkov

Časovni potek minimalne (3-žične) serijske povezave kaže slika 6. 9. QSPI mora najprej poskrbeti za izbiro pretvornika (aktiven signal CS). Po določenem, vnaprej predpisanem času se začne serijski prenos šestnajstih podatkov v sinhronizmu z uro (SCK).



Slika 6. 9: Časovni diagram serijskega prenosa preko treh vodnikov

Serijski podatek 12-bitnega MAX536 je sestavljen iz dveh naslovnih bitov, dveh nadzornih bitov in dvanajstih podatkovnih bitov (slika 6. 10). Različne kombinacije prvih dveh bitov ($2^2 = 4$) določajo enega izmed štirih D/A pretvornikov. Naslednja dva bita omogočata različne časovne sekvence pretokov med vhodnimi registri in DAC registri, dejanska digitalna vrednost, ki jo želimo pretvoriti v izhodno napetost (od 0 do V_{REF} pri izbiri unipolarnega izhoda in od $-V_{REF}$ do $+V_{REF}$ pri bipolarnem izhodu), pa je zapisana v podatkovnih bitih.

MSB LSB			
← 16 bitov serijskega podatka →			
Naslovna bita	Nadzorna bita	Podatkovni biti	
		MSB LSB	
A1	A0	C1	C0
D11 D0			
← 4 naslovni in nadzorni biti →		← 12 podatkovnih bitov →	

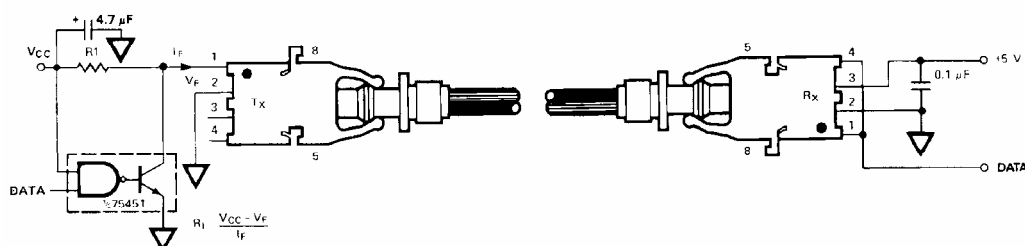
Slika 6. 10: Format serijskega podatka MAX536

6.2.1.2 Prenos podatkov prek optičnih kablov

Hiter prenos podatkov po električnih vodnikih je povezan s številnimi težavami, še posebej če so povezave dolge in potekajo skozi okolje, ki generira različne motnje. Vse to vpliva na zanesljivost in omejuje največjo hitrost prenosa.

Svetloba je neobčutljiva na omenjene vplive in je zato njen prenos preko fleksibilnih optičnih vlaken ali kablov (steklenih ali plastičnih) optimalna rešitev za hitro in zanesljivo pošiljanje digitalnih podatkov.

V praksi obstaja cela paleta optičnih kablov, ki zagotavljajo ekstremno hiter prenos na velike razdalje. S stališča večine projektantov mikroračunalniških sistemov za krmiljenje industrijskih procesov, kjer sta sprejemnik in oddajnik oddaljena nekaj metrov in je potrebna le zmerna hitrost prenosa (nekaj Mbps), ponuja trg cenejše izvedbe, kot je npr. Versatile Link firme Hewlett Packard (slika 6. 11).



Slika 6. 11: HP Versatile Link HFBR-15X1/25X1

Povezava (angl. link) je sestavljena iz optičnega kabla s končnikoma ter oddajnega (Tx) in sprejemnega (Rx) plastičnega modula, ki sta hkrati konektorja. Maksimalna hitrost prenosa je 5 Mbps, kar presega možnosti večine pretvornikov, maksimalna dolžina kabla pa je nekaj deset metrov. Velikost potrebnega vhodnega toka I_F se z razdaljo eksponentialno povečuje.

6.3 Asinhronska serijska komunikacija (SCI)

Za asinhronsko komunikacijo s periferijo (npr. s terminalom ali z nadrejenim računalnikom - navadno PC) uporabljamo SCI modul (SCI je prisoten tudi pri drugih Motorolinah mikrokrmilnikih, npr. MC68HC11 in MC68HC05). Nekatere značilnosti SCI so:

- Izbira prenosa 8- ali 9-bitne besede.
- Detekcija motenj.
- Generiranje sode ali lihe (angl. even/odd) paritete.
- Programirljiva hitrost (frekvenca) prenosa itd.

6.3.1 Serijska komunikacija med mikroprocesorjem in nadrejenim računalnikom

Preden si ogledamo osnovo delovanja SCI modula, povejmo najprej nekaj o njegovi najpogostejši uporabi: serijski komunikaciji z nadrejenim računalnikom (kot npr. v standardni konfiguraciji BCC, glej poglavje 8), ki običajno poteka preko vmesnika EIA-232C (prej RS-232C, znan tudi kot V.24).

Znotraj mikroprocesorja (mikrokrmilnika) tečejo podatki po paralelnem podatkovnem vodilu (npr. 8-, 16- ali 32-bitnem), komunikacija s terminalom pa je asinhronska serijska⁸. Za usklajevanje teh dveh načinov prenosa podatkov rabimo posebno vmesno prilagodilno vezje UART (Universal Asynchronous Receiver/Transmitter), pri nakaterih mikrokrmilnikih pa je UART že njihov sestavni modul (npr. SCI v

⁸ Najosnovnejša komunikacija je možna le s tremi vodniki: TxD, RxD in maso.

MC68332). UART je sestavljen iz serijsko/paralelnega in paralelno serijskega vmesnika, ki imata neodvisna dajalnika takta. Serijska komunikacija je dvosmerna:

1. UART pošilja terminalu ali osebni računalnik podatke prek nožice TxD (angl. Transmit Data - pošiljanje podatkov). Običajno se prek nje izvršuje prikaz podatkov z mikroprocesorja na zaslon terminala ali prenos nekaterih internih parametrov na diskovno enoto (npr. del vsebine pomnilnika).
2. V obratno smer (nožica RxD - angl. Receive Data) sprejema UART podatke s terminala ali z nadrejenega računalnika.

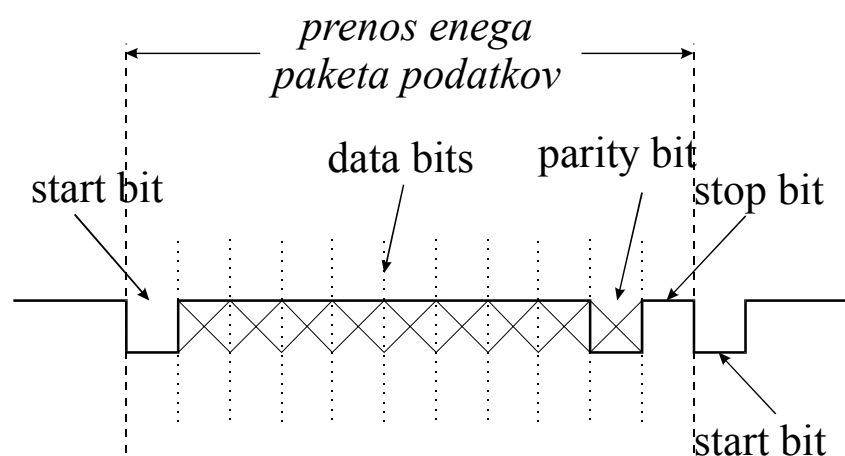
EIA-232 standard je primer “negativne logike”, ki smo jo omenili v poglavju 1. Logičnemu signalu 0 na strani oddajnika ustreza napetostni pas (+5 V, +15 V), signalu 1 pa (-15 V, -5 V), na strani sprejemnika pa sta pasova (+3 V, +15 V) in (-15 V, -3 V) [31]. Po drugi strani sta običajna nivoja na strani mikroprocesorja 0 V in 5 V (TTL). Zato moramo načeloma med obema enotama izvršiti ustrezno prilagoditev nivojev s posebnimi vezji (pogl. 12.3).

Glede na asinhronski način komunikacije so “hitrosti” pošiljanja signalov, ki se meri s t.i. številom *bitov na sekundo*, standardno določene. Običajne vrednosti so 1200, 2400 (pri počasnejših prenosih, npr. pri starejših modemih), 9600 in 19200 bps (standardni hitrosti pri komunikaciji s terminalom) itd.

Na obeh linijah je pred začetkom prenosa prisoten logični signal 1 (glej sliko 6. 12). Asinhronski transfer paketa signalov se začne, ko pošlje oddajnik po svoji TxD liniji t.i. *start bit* (logični nivo 0). Startnemu bitu sledi sedem (kompatibilnost z ASCII kodo) ali osem *podatkovnih bitov* po prej določeni hitrosti.

Za njimi sledi *parnostni bit* (angl. parity bit). Pri prenosu je namreč možno popačenje stanja bita kot posledica motenj. Najenostavnejši način preverjanja pravilnosti prenosa je uporaba posebnega bita, ki se setira, če število prenešenih bitov ustreza predhodno določenemu tipu paritete: liha ali soda. Preverjanje paritete lahko tudi razveljavimo. Če npr. izberemo sodo pariteto, se paritetni bit setira pri sodem številu enic v serijskem paketu oz. resetira, če je število enic liho. Obratno velja, če izberemo liho pariteto. Seveda detektira takšna kontrola le izgubo lihega števila bitov.

Prenos se konča z enim ali dvema *stop bitoma*.



Slika 6. 12: Format asinhronskega serijskega paketa podatkov

Vsi do sedaj opisani parametri (hitrost prenosa, število podatkovnih bitov itd.) morajo biti definirani na obeh straneh komunikacijske verige. Pri mikrokrmilniku jih, podobno kot pri QSPI, definiramo v posebnih registrih SCI (SCCR0, SCCR1, SCSR in SCDR, slika 6. 2).

Te parametre je treba uskladiti s komunikacijskimi parametri terminala ali osebnega računalnika. Temu je namenjena posebna programska oprema, ki koordinira komunikacijo na tej strani komunikacijskega kanala. Pri navadnem terminalu (v bistvu le tipkovnica in zaslon) shranimo te parametre v posebno spominsko področje.

PC lahko tudi deluje kot terminal. Za to uporabljamo standardne programske pakete (npr. starejše Kermit, Telnet, ProCom, VTerm v DOS ali novejše, kot je npr. HyperTerminal v Windows okolju).