

11. PRIMERI NEKATERIH MIKROKRMILNIKOV

V tem poglavju si bomo ogledali nekatere druge procesorske sisteme, ki jih pogosto srečujemo v napravah močnostne elektronike. Še posebej bomo govorili o digitalnih signalnih procesorjih, ki postajajo vse zanimivejši tudi pri cenejših aplikacijah. Tabela 11.1 kaže kratek zgodovinski razvoj nekaterih pomembnejših mikroprocesorjev in mikrokrmilnikov [5].

Procesor	Predstavitev	Pod. vodilo	Ura	Nasl. vodilo	Značilnosti
Intel 8080	1975	8 bit		16 bit	
MC6800	1976	8 bit	2 MHz	16 bit	
Intel 8086	1978	16 bit	8 MHz	20 bit	FPCP, DNR
MC6805	1979	8 bit	2 MHz	16 bit	CNTRL
MC68000	1981	16 bit	8 MHz	23 bit	FPCP, DNR
MC68HC11	1984	8 bit	4 MHz	16 bit	CNTRL
MC68040	1989	32 bit	25 MHz	30 bit	C, FPPL, IPL, DNR
Intel 486	1991	32 bit	66 MHz	30 bit	C, FP, IPL, DNR
MC68332	1991	16 bit	17 MHz	24 bit	CNTRL
DEC alpha	1992	64 bit	200 MHz	34 bit	C, FPPL, IPL
SuperSparc	1992	32 bit	100 MHz	32 bit	C, FPPL, IPL
MPC601	1993	64 bit	80 MHz	32 bit	C, FPPL, IPL
Intel Pentium	1993	32 bit	66 MHz	30 bit	C, FPPL, IPL

Legenda:

FPCP = obstaja tudi matematični koprocessor, CNTRL = mikrokrmilnik, C = cache pomnilnik na čipu, FP = interna plavajoča vejica, IPL = integer pipeline, FPPL = pipeline s plavajočo vejico

Pojasnilo:

Cache (slov. predpomnilnik): zelo hiter pomnilnik z ažurirano kopijo zadnjih uporabljenih besed v glavnem pomnilniku.

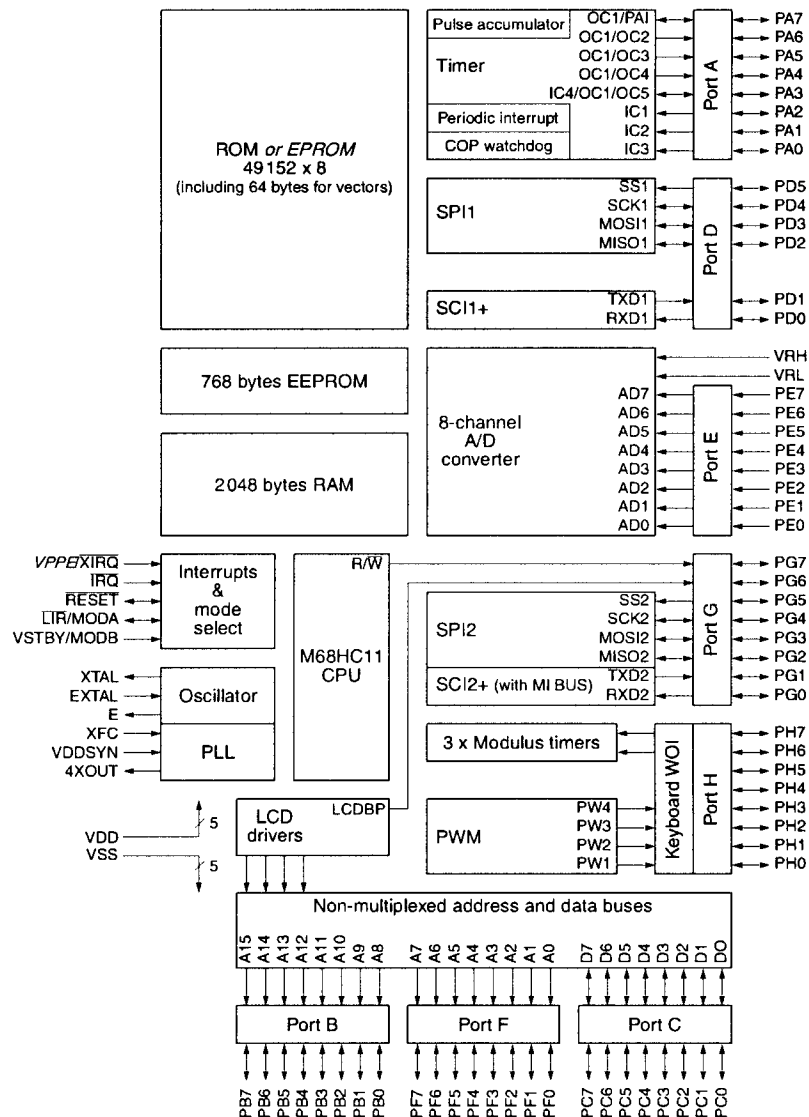
Pipeline (slov. cevovod): Sistem funkcionalnih enot za sočasno izvajanje ukazov v različnih fazah.

Tabela 11.1: Kratek zgodovinski pregled mikroprocesorjev in mikrokrmilnikov

11.1 Klasični mikrokrmilniki

11.1.1 Motorola MC68HC711PH8

Motorolina serija HC11 je že veliko let ena najbolj posrečenih rešitev za procesorsko manj zahtevne naloge. CPU izvira iz procesorja 6800, zato je njegov nabor ukazov nekompatibilen z ukazi MC68332, čeprav imata oba čipa podobno krmilniško strukturo.

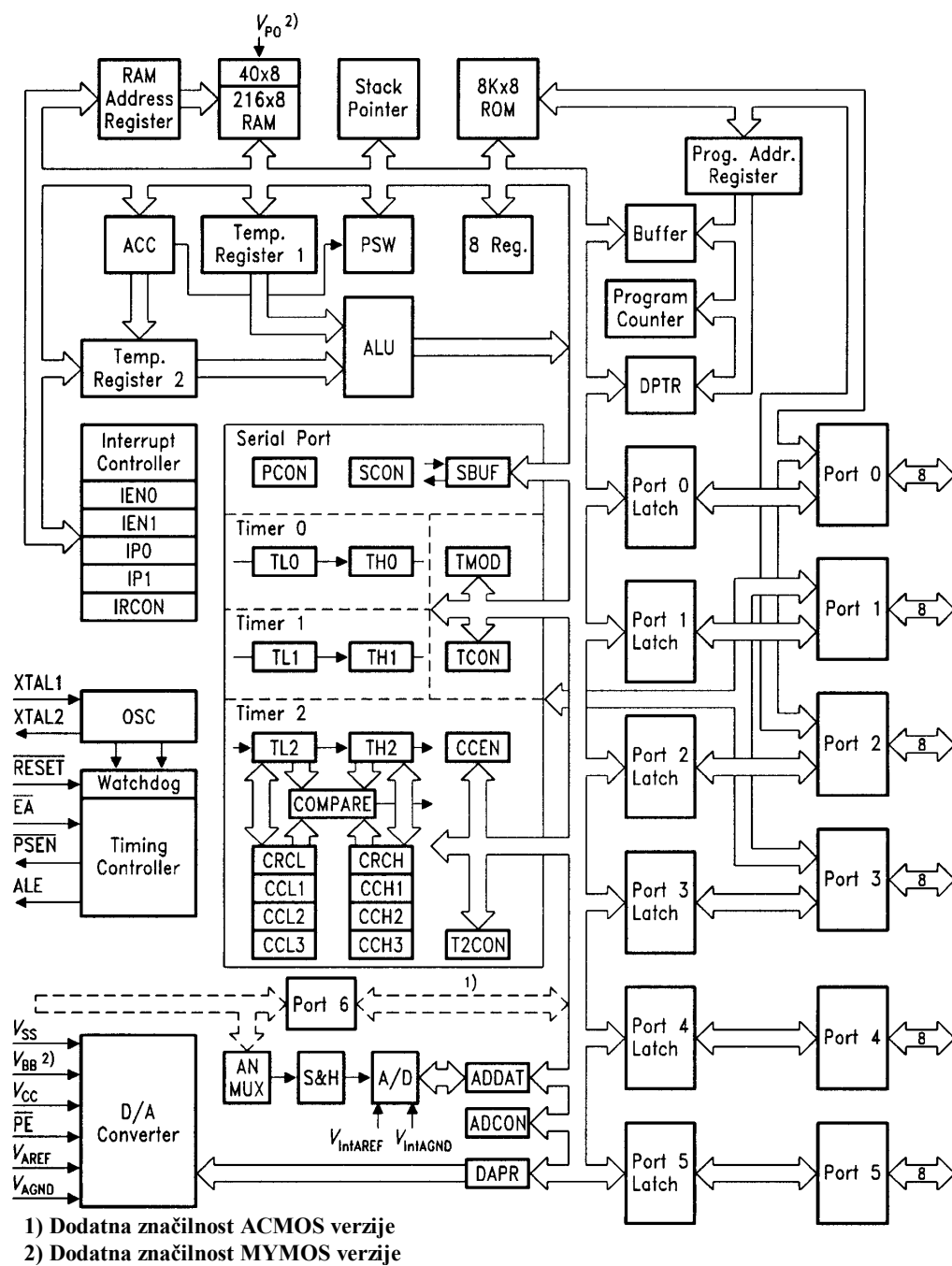


Slika 11.1: Blokovna shema mikrokontrolnika MC68HC711PH8

Značilnosti:

- PLCC ohišje (angl. plastic-leaded chip carrier),
- ura 2 - 4 MHz,
- 48 Kbyte EPROM na čipu,
- 2 Kbyte RAM pomnilnika,
- 768 byte EEPROM,
- do 54 binarnih vhodno/izhodnih nožic za splošne namene,
- 16-bitni časovnik,
- trije 8-bitni časovniki za generiranje periodičnih prekinitev,
- dva 8- ali 9-bitna podsistema za asinhronsko serijsko komunikacijo (SCI),
- 8 kanalni 8-bitni A/D pretvornik,
- štiri 8-bitni kanali za pulzno-širinsko modulacijo (PWM),
- 4-segmentni gonilnik za prikazovalnik s tekočimi kristali (angl. LCD driver).

11.1.2 Siemens SAB 80(C)535



Slika 11.2: Blokovna shema mikrokrmilnika 80C535

SAB 80(C)535 in njegova različica 80(C)515 sta pripadnika zelo uspešne Siemensove družine 8-bitnih mikrokrmilnikov.

Značilnosti:

- 8 Kbyte programskega pomnilnika na čipu,

- 256 byte RAM-a na čipu,
- 6 paralelnih 8-bitnih vhodno/izhodnih portov,
- trije 16-bitni časovniki/števci,
- A/D pretvornik z osmimi multipleksiranimi vhodi, programirljiva referenčna napetost,
- 12 virov prekinitev (7 notranjih, 5 zunanjih),
- globina sklada do 256 bytov,
- čas izvajanja ukazov 1 μ s (pri 12 MHz uri),
- čas izvajanja operacije deljenja 4 μ s.

11.2 RISC procesorji in mikrokrmilniki

Za klasične mikroprocesorje (angl. CISC - Complex Instruction Set Computer) je značilno veliko število različnih ukazov ter načinov naslavljanja operandov, kar smo opisali v poglavju 4 o CPU-ju MC68332. To seveda zahteva zapleteno strukturo procesorja in kompleksne sekvence izvajanja ukazov. Nekateri ukazi so sestavljeni iz več osnovnih besed procesorja (mikrokoda).

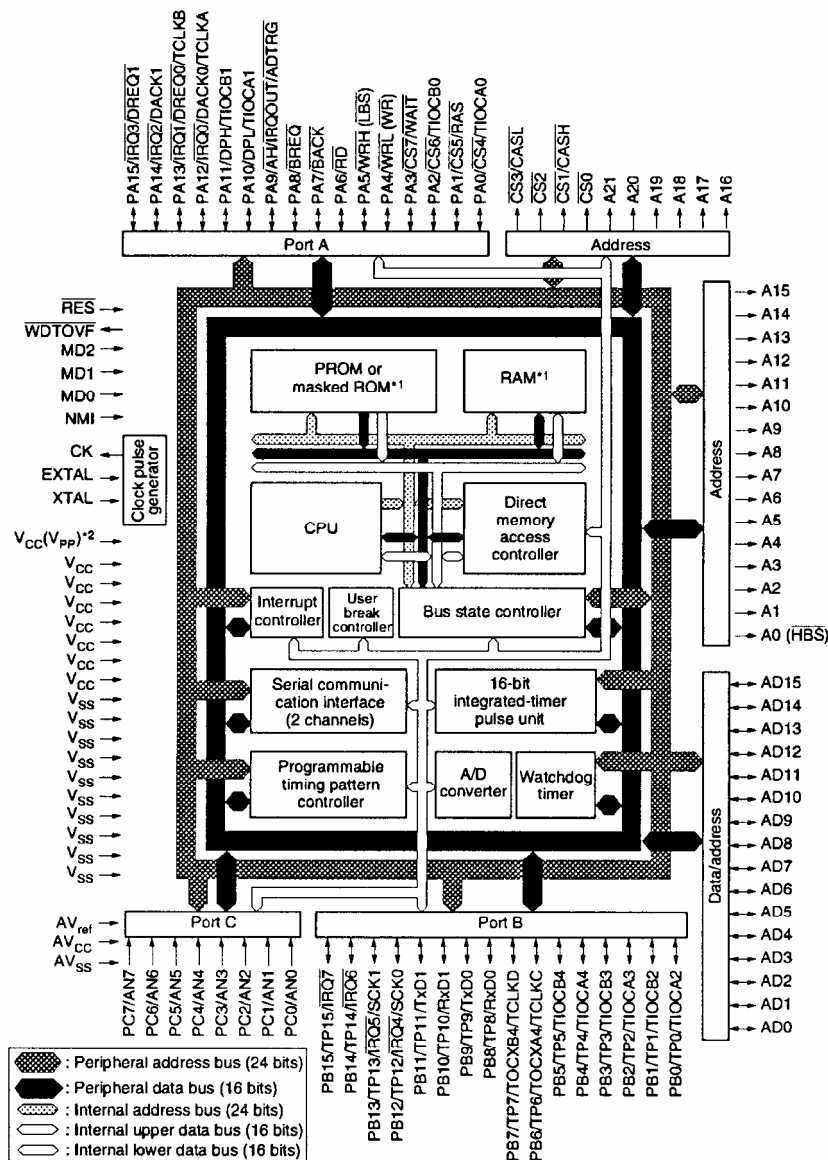
Iz statistične analize uporabe ukazov ugotovimo, da so najpogosteje uporabljani ukazi za prenos podatka, seštevanje, pogojne skoke in primerjave. Po drugi strani se nekateri ukazi zelo redko uporabljajo. Ta ugotovitev je pripomogla k nastajanju *RISC* arhitekture (angl. Reduced Instruction Set Computer - računalniki z zmanjšanim naborom ukazov). Z zmanjšanim številom ukazov in načinov naslavljanja je omogočeno izvajanje večine ukazov v enem časovnem ciklu. Hkrati je tudi potreba po mikrokodiranju postala odvečna, ker je vlogo mikrokodiranja ukazov prevzel hardver procesorja. Zaradi hitrosti vsebujejo RISC računalniki zelo hitre pomnilniške enote (npr. hitre statične RAM pomnilnike - SRAM za podatkovni in inštrukcijski cache). Več o RISC arhitekturi lahko preberemo v literaturi [npr. 22].

Poleg v zelo zmogljivih računalnikih, se je RISC začel uveljavljati tudi v izvedbah, ki so namenjene procesni regulaciji. Primera takšnih procesorjev sta Hitachijeva RISC-a SH7032/SH7034.

Nekatere lastnosti SH7032/SH7034:

- frekvenca 20 MHz pri 5 V ali 12,5 pri 3,3 V,
- 0,8 mikronska tehnologija,
- 8 Kbyte RAM (SH7032) ali 64 Kbyte ROM/EPROM in 4 Kbyte RAM (SH7034),
- CPU: super RISC engine,
- 32-bitno notranje vodilo,
- petstopenjski cevovod (pipeline),
- operacije množenja $32 \times 32 = 64$ se izvajajo v dveh ali treh ciklih,
- MAC (množenje in seštevanje) se izvrši v dveh ali treh ciklih,
- štirikanalni DMA krmilnik,
- 9 zunanjih prekinitvenih virov,
- PWM modul,
- števci, zajemanje in merjenje vhodnih pulzov,
- 8-kanalni 10-bitni A/D pretvornik s spremenljivo referenčno napetostjo,
- dvokanalni SCI modul,

- 32 vhodno/izhodnih nožic in dodatnih 8 vhodnih nožic.



Slika 11.3: Blokovna shema RISC krmilnika Hitachi SH7032/7034

11.3 Digitalni signalni procesorji in mikrokrmilniki

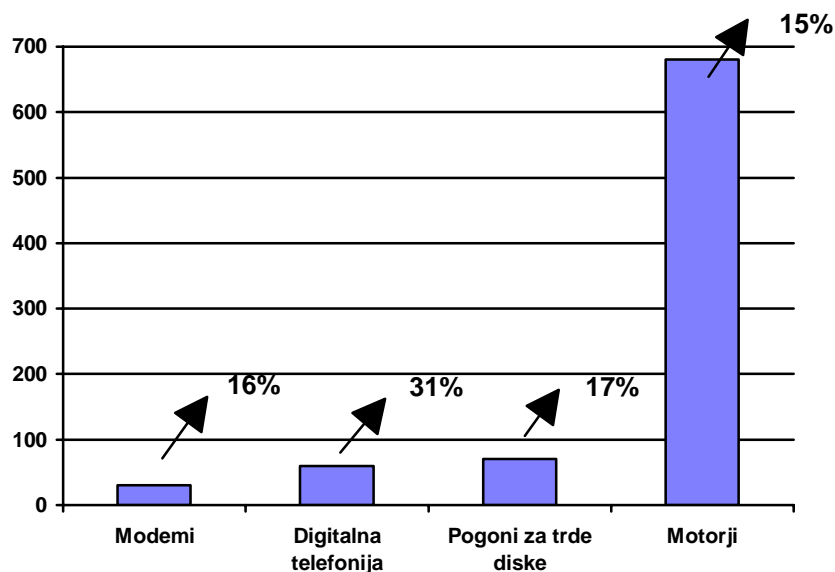
Digitalni signalni procesorji (Digital Signal Processors - DSP) so bili prvotno namenjeni digitalni obdelavi analognih signalov (npr. zvoka ali slike), kjer obstaja potreba po zelo hitrem računanju v realnem času (npr. hitra Fourierjeva transformacija - FFT). Čeprav imajo DSP-ji v primerjavi s klasičnimi procesorji enako stopnjo integracije in frekvenco urinega takta, so primernejši za takšne naloge zaradi optimizirane arhitekture¹.

¹ Primerjava: starejši klasični procesor Intel 80386 porabi za FFT z $N=1024$ 300 ms, enako star DSP TMS320C30 pa 1,5 ms [14].

Kratka primerjava DSP-jev in klasičnih procesorjev:

1. **Aritmetična enota:** DSP-ji so optimirani za izvajanje operacij množenja in hkratnega seštevanja (npr. $\sum a_i b_i$). Zato je množilna enota sestavni del DSP-ja in omogoča izvajanje kombiniranega množenja in seštevanja v enem samem urinem ciklu! Po drugi strani pa porabijo klasični procesorji za izvajanje množenja veliko časovnih ciklov (običajno nekajdeset). Poleg tega vsebujejo DSP-ji tudi posebno enoto za operacije pomika (shift).
2. **Arhitektura vodila:** Običajni procesorji so zasnovani na von Neumanovi arhitekturi vodil (pogl. 2): skupno podatkovno in ukazno pomnilniško področje ter po eno podatkovno in naslovno vodilo. Zato je izvajanje ukaza sestavljeno iz nekaj korakov: branje ukaza iz pomnilnika, dekodiranje, branje operanda in izvajanje operacije ukaza, saj podatki in ukazi "potujejo" po istem vodilu. DSP-ji uporabljajo Harvard arhitekturo z ločenima vodiloma za ukaze in podatke (angl. program bus, data bus). Na ta način je omogočeno hkratno branje obeh (pri nekaterih lahko dodatno preberemo hkrati dva podatka oz. operanda - t.i. modificirana Harvard arhitektura).
3. **Naslavljanje:** Klasični mikroprocesorji omogočajo veliko načinov naslavljanja, med njimi tudi takšne, ki so prirejeni za obdelave velikih podatkovnih polj. Pri tem je čas, potreben za izračun efektivnega naslova običajno daljši od same operacije, ki jo ukaz izvaja. DSP-ji vsebujejo posebne *generatorje naslova* (angl. address generators), ki omogočajo bistveno hitrejše naslavljanje.
4. **Pomnilnik:** mikroprocesorji shranjujejo ukaze in podatke v zunanji pomnilnik (šele mikrokrmilniki vsebujejo nekaj spomina na čipu). V prejšnjih poglavjih smo že povedali, da je takšno delo z zunanjim pomnilnikom počasnejše od uporabe internega pomnilnika na čipu, ki so sestavni del DSP-jev.

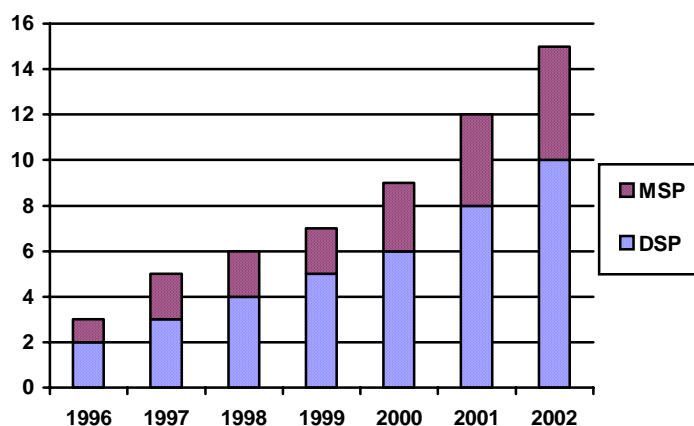
Kljub naštetim prednostim sta bila do nedavnega krmiljenje in regulacija vezij močnostne elektronike rezervirana izključno za klasične procesorje. Razlog za to je bila visoka cena DSP-jev. Ta trend se spreminja, saj proizvajalci danes ponujajo posebne DSP krmilnike, ki so optimirani za takšne naloge, po izredno nizkih cenah (cena posameznega kosa serije TMS320xx je okrog 12 dolarjev, nad 10000 kosov pa okrog treh dolarjev). Zato DSP-ji prodirajo tudi na to področje (slika 11.4).



Vir: Dataquest, Motion Tech Trends

Slika 11.4: Število prodanih DSP-jev (v milijonih) leta 1996 po področjih ter trendi rasti

Trenutno je največji proizvajalec DSP-jev Texas Instruments s 45-odstotnim tržnim deležem (Lucent: 29 %, ADI: 11 %, Motorola 8 %). Tržni delež DSP-jev v primerjavi z ostalimi polprevodniškimi komponentami (MSP-Mixed Signal Products) zgovorno kaže slika 11.5. Vrednost trga s DSP-ji raste 50 % hitreje od trga z ostalimi integriranimi vezji [vir: TMS320 DSP Solutions, TI, 1997, CD].

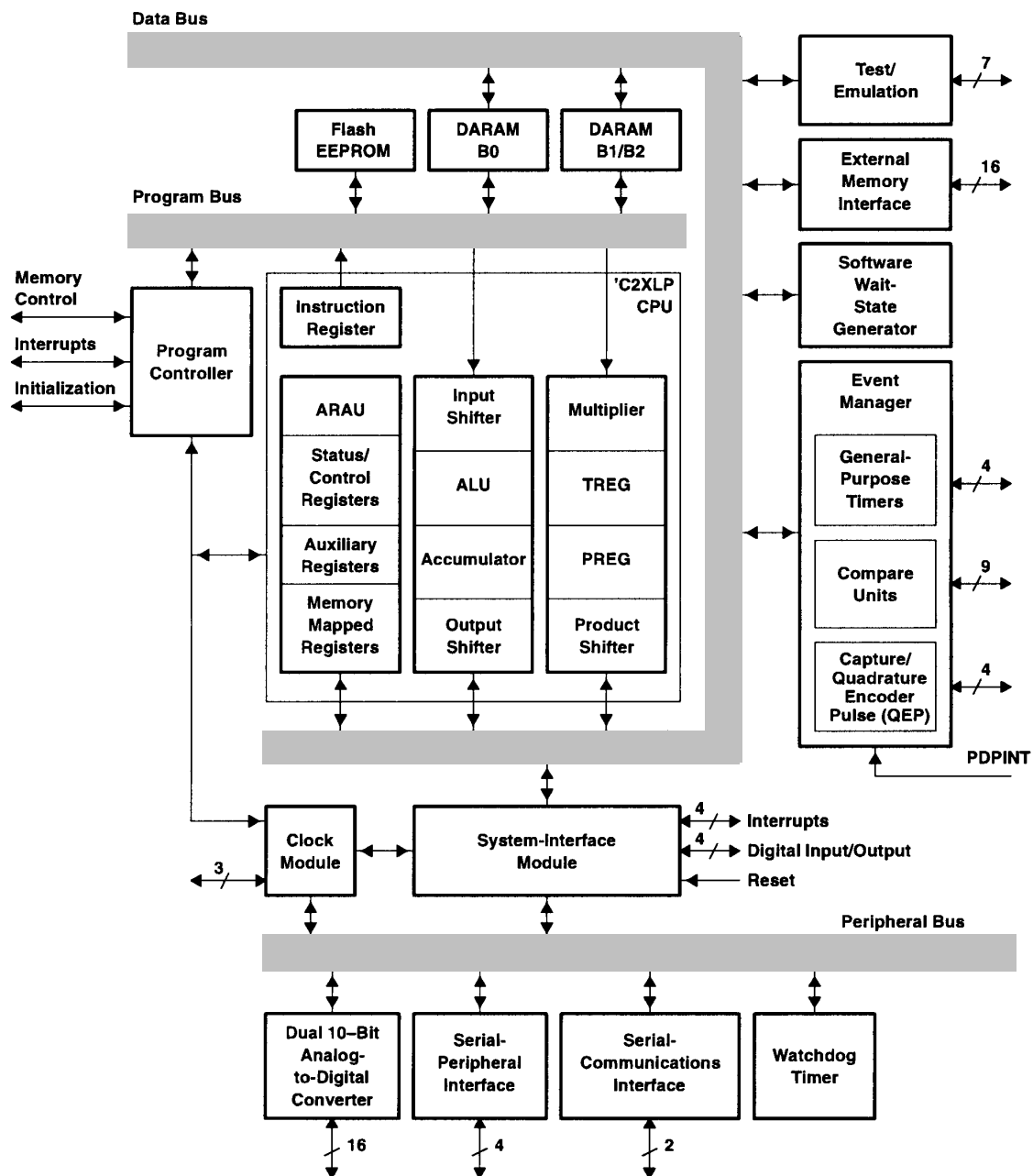


Slika 11.5: Stanje in projekcija tržnega deleža DSP-jev in MSP firme Texas Instruments v milijardah dolarjev

11.3.1 Digitalni signalni mikrokrmilnik TMS320F240

DSP mikrokrmilnik Texas Instruments TMS320F240 pomeni prelomnico na področju mikroprocesorskih komponent za aplikacije v močnostni elektroniki in električnih pogonih. DSP jedro je zaslužno za izredno hitrost izvajanja ukazov, ki so primerni za zahtevne

matematične operacije. Njegov periferni del je optimiran za krmiljenje in regulacijo električnih motorjev. Mikrokrmilnik vsebuje tudi precej programskega in podatkovnega pomnilnika in ga v večini primerov lahko samostojno uporabimo. Kljub veliki zmogljivosti je proizvajalcu uspelo zagotoviti izjemno nizko ceno, ki se giblje od 4 do 18 dolarjev za kos. Zato je mikrokrmilnik zelo zanimiv tudi pri manjših pogonih (npr. pralnih strojih, klimatskih napravah itd.). TMS320x240 že diktira razvojne trende na tem področju, zato si ga bomo ogledali nekoliko podrobneje [28, 29, 30, 32]. Njegovo blokovo shemo kaže slika 11.6.



Slika 11.6: Blokovna shema DSP krmilnika TMS32F0240

Osnovne značilnosti:

- CMOS tehnologija,
- čas izvajanja ukaznega cikla 50 ns,
- 16-bitna procesorska enota s fiksno vejico (angl. fixed point),
- ukazi z istočasnim branjem dveh ali treh operandov,
- Pomnilnik: 544 besed x 16 bitov RAM-a z dvojnimi dostopom na čipu (Dual-Access RAM - DARAM), 16 K besed x 16 bitov FLASH eproma (inačica "F240") ali ROM-a (inačica "C240"), celotno naslovljivo pomnilniško področje 224 K besed x 16 bitov,
- arhitektura z več vodili (multibus): ločena programska, podatkovna in periferna vodila,
- 12 kanalov s primerjalnimi ali PWM funkcijami (glej poglavje 7 o TPU MC68332),
- trije neodvisni časovniki,
- dvojni 10 bitni A/D modul s časom pretvorbe 10 μ s,
- 28 neodvisno programirljivih multipleksiranih vhodno/izhodnih nožic,
- modul za serijsko komunikacijo SCI (glej poglavje 6.3 o SCI MC68332),
- periferni serijski vmesnik SPI (glej poglavje 6.2 o QSPI MC68332),
- enota za nadzorovanje dogodkov (podobno TPU enoti MC68332),
- 6 zunanjih prekinitev.

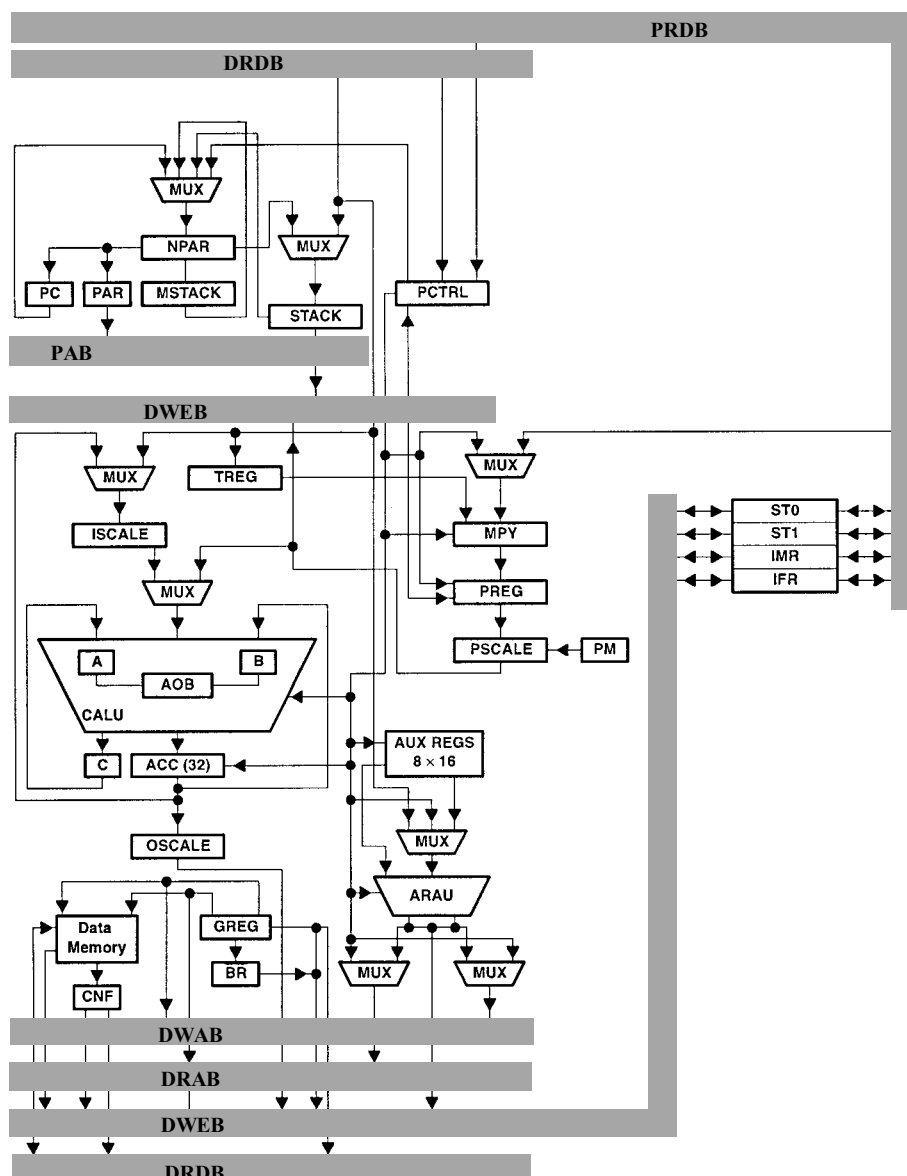
11.3.1.1 Struktura TMS320F240

Ena od lastnosti DSP-jev sta ločeni pomnilniški področji za ukaze (angl. program space) in podatke (angl. data space) ter temu ustrezno ločena vodila. Na ta način je možna hkratna uporaba obeh področij. Poleg tega ima mikrokrmilnik še posebno vodilo za naslavljanje periferije (angl. peripheral bus) na katerega sta vezana interna A/D pretvornika, enota za serijsko komunikacijo, serijski periferni vmesnik itd. (slika 11.6). Slika 11.7 kaže strukturo CPU-ja.

Osnovne komponente CPU-ja so:

1. 32-bitna **centralna aritmetično-logična enota** (CALU) omogoča izvajanje širokega spektra aritmetičnih in logičnih operacij, večinoma v enem urnem ciklu (50 ns).
2. 32-bitni **akumulator** vsebuje rezultat operacije iz CALU.
3. **Množilna enota** ($16 \times 16 = 32$) omogoča izvajanje operacij predznačenega ali nepredznačenega množenja v enem ciklu. Vhodni podatek je shranjen v 16-bitnem registru TREG (drugi operand je vsebovan v samem ukazu), rezultat pa se nahaja v 32-bitnem PREG registru.
4. 16-bitni **skalirni pomični registri** omogočajo pomik podatkov v/i ALU in množilne enote, kar je koristno pri prilagajanju vhodnih podatkov in rezultata (npr. v formatu f4.14).
5. **Pomožni registri** (AR0-AR7) so zelo koristni pri posrednem naslavljanju, kjer s **pomožno aritmetično enoto** (ARAU) hitro izračunamo efektivni naslov.
6. **Ostali registri**: statusna registra (ST1 in ST0), register za maskiranje prekinitev (IMR) in register za indikacijo prekinitev (IFR).

Organizacija CPU-ja omogoča tudi hkratno izvajanje več operacij (npr. MPYA: množenje in prištevanje prejšnjega produkta k vsebini akumulatorja ob hkratnem premiku).



Slika 11.7: Blokovni diagram CPU-ja pri mikrokrmilniku TMS320F240

11.3.1.2 Organizacija pomnilnika

Mikrokrmilnik lahko deluje v dveh režimih: mikrokrmilniškem (nožica MP/MC = "0") in mikroprocesorskem (MP/MC v stanju "1"). Notranji Flash EEPROM (pogl. 12.1.3) je dostopen le v prvem režimu. V ta pomnilnik shranimo končno verzijo programa, po potrebi pa ga tudi spremenimo. Na sliki 11.8 sta prikazani pomnilniški mapi programskega področja za oba primera. Uporaba DARAM-a je možna brez čakalnih stanj, njegov položaj v programskem ali podatkovnem področju pa je odvisen od stanja bita CNF v statusnem registru ST1.

Program Space MP/MC=1 Microprocessor Mode		Program Space MP/MC=0 Microcomputer Mode	
Hex		Hex	
0000	Interrupts (External)	0000	Interrupts (On-Chip)
003F		003F	
0040	External	0040	On-Chip ROM (Flash EEPROM) (8 x 2K Segments) (Seg 0 = Boot Seg @ 0h-07FFh by BOOTPROT pin)
		3FFF	
FDFF		4000	External
FE00	On-Chip DARAM B0 (CNF = 1)	FE00	On-Chip DARAM B0 (CNF = 1)
FEFF	External (CNF = 0)	FEFF	External (CNF = 0)
FF00	On-Chip DARAM B0' (CNF = 1)	FF00	On-Chip DARAM B0' (CNF = 1)
FFFF	External (CNF = 0)	FFFF	External (CNF = 0)

Slika 11.8: Pomnilniška mapa programskega področja

Mapo podatkovnega področja kaže slika 11.9. Področje od 7000_{HEX} do 743f_{HEX} je rezervirano za registre podmodulov mikrokrmilnika (podobno kot pri MC68332), s katerimi izberemo načine njihovega delovanja.

Tukaj velja omeniti še eno posebnost naslavljanja podatkovnega področja v DSP-ju. Celotno področje je sestavljeno iz 512 podatkovnih strani (angl. data pages - DP) s 128 besedami (slika 11.10). Naslov podatka je sestavljen iz dveh delov:

- Kazalec na naslov strani se nahaja v 9-bitnem področju ST0 ($2^9 = 512$). Naslov strani spremenimo z ukazom LDP (angl. load data page pointer).
- Naslov znotraj podatkovne strani je sestavljen iz sedmih bitov ($16 - 9 = 7 \rightarrow 2^7 = 128$), ki so del vsakega ukaza za naslavljanje podatkov (angl. offset).

Omenjeni način omogoča bistveno krajše naslavljanje, programer pa mora vedno skrbeti za to, da se nahaja na "pravi" strani. V nasprotnem primeru isti ukaz z relativnim naslovom lahko naslovi podatek na neki drugi strani.

Hex	
0000	Memory-Mapped Registers and Reserved
005F	
0060	On-Chip DARAM B2
007F	
0080	Reserved
00FF	
0100	On-Chip DARAM B0 (CNF = 0)
01FF	Reserved (CNF = 1)
0200	On-Chip DARAM B0' (CNF = 0)
02FF	Reserved (CNF = 1)
0300	On-Chip
03FF	DARAM B1
0400	On-chip
04FF	DARAM B1'
0500	Reserved
07FF	
0800	Illegal
6FFF	
7000	Peripheral Memory-Mapped Registers (System, ADC, SCI, SPI, I/O, Interrupts)
73FF	
7400	Peripheral Memory-Mapped Registers (Event Manager)
743F	
7440	Reserved
77FF	
7800	Illegal
7FFF	
8000	External
FFFF	

Slika 11.9: Pomnilniška mapa podatkovnega področja

Stanje DP	Preostali del naslova (odmik)	Podatkovni pomnilnik
0000 0000 0	000 0000	Stran 0: 0000 _{HEX} - 007f _{HEX}
.	.	
0000 0000 0	111 1111	
0000 0000 1	000 0000	Stran 1: 0080 _{HEX} - 00ff _{HEX}
.	.	
0000 0000 1	111 1111	
0000 0001 0	000 0000	Stran 2: 0100 _{HEX} - 017f _{HEX}
.	.	
0000 0001 0	111 1111	
.	.	.
.	.	.
1111 1111 1	000 0000	Stran 511: ff80 _{HEX} - ffff _{HEX}
.	.	
1111 1111 1	111 1111	

Slika 11.10: Strani podatkovnega pomnilnika

Tretje pomnilniško področje je namenjeno delu s perifernimi enotami. V njem se nahajajo tudi registri, potrebni za programiranje Flash EPROM-a.

11.3.1.3 Periferija

TMS320F240 vsebuje naslednje periferne enote:

1. vmesnik k zunanjim pomnilnikom,
2. časovna straža (watchdog),
3. enoto za serijsko komunikacijo,
4. serijski periferni vmesnik,
5. dvojni A/D pretvornik,
6. nadzorovanje dogodkov (angl. event manager)

Naštete enote smo spoznali že pri MC68332. Tukaj bomo omenili le dve.

11.3.1.3.1 A/D pretvornik

A/D modul sestoji iz dveh 10-bitnih pretvornikov. Oba pretvornika lahko izbirata med osmimi multipleksiranimi kanali napetostnega območja 0 V - 5 V. Pretvorba traja 10 μ s, kar pa ne pomeni, da je v tem času onemogočena obdelava ostalih ukazov v programu. Interna struktura po zagonu omogoča shranjevanje rezultata v posebna FIFO registra, ki vsebujeta veljavni podatek po zaključku pretvorbe. CPU lahko vsebini registrov prebere v kateremkoli trenutku. Vzorčeni podatek je veljaven le zagotoviti, če je med zagonom pretvorbe in branjem pretekel deklarirani čas pretvorbe.

11.3.1.3.2 Enota za nadzorovanje dogodkov

Enota za nadzorovanje dogodkov (angl. event manager - EV) je podobna TPU enoti MC68332, saj se ukvarja z zajemanjem ali generiranjem binarnih signalov nivoja 0 V - 5 V. Glavni sestavni deli so:

1. časovniki za splošno rabo,
2. primerjalna enota,
3. enota za zajemanje signalov,
4. enota za zajemanje signalov iz inkrementalnega dajalnika (QEP).

Ena od nalog **primerjalne enote** (angl. compare unit) je generiranje pulzno-širinsko moduliranega signala na devetih izhodih. Te signale lahko uporabljamo za proženje tranzistorjev v močnostnem vezju. Ena od posebnosti PWM obratovanja pri TMS320F240 je možnost kompenzacije mrtvega časa preklapov.

11.3.1.4 Nabor ukazov

Naslednje tabele kažejo celoten nabor ukazov TMS320F240. Ukazov ne bomo posebej obravnavali, bralec pa jih lahko sam primerja z ukazi klasičnih mikroprocesorjev (npr. CPU

MC68332). Stolpec "Besede" kaže dolžino posameznega ukaza, stolpec "Cikli" pa njegovo trajanje (mnogokratnik 50 ns).

MNEMONIK	OPIS	BESEDE	CIKLI
ABS	Absolute value of ACC	1	1
ADD	Add to ACC with shift of 0 to 15, direct or indirect	1	1
	Add to ACC with shift 0 to 15, long immediate	2	2
	Add to ACC with shift of 16, direct or indirect	1	1
	Add to ACC, short immediate	1	1
ADDC	Add to ACC with carry, direct or indirect	1	1
ADDS	Add to low ACC with sign-extension suppressed, direct or indirect	1	1
ADDT	Add to ACC with shift (0 to 15) specified by TREG, direct or indirect	1	1
AND	AND ACC with data value, direct or indirect	1	1
	AND with ACC with shift of 0 to 15, long immediate	2	2
	AND with ACC with shift of 16, long immediate	1	2
CMPL	Complement ACC	1	1
LACC	Load ACC with shift of 0 to 15, direct or indirect	1	1
	Load ACC with shift of 0 to 15, long immediate	2	2
	Load ACC with shift of 16, direct or indirect	1	1
LACL	Load low word of ACC, direct or indirect	1	1
	Load low word of ACC, short immediate	1	1
LACT	Load ACC with shift (0 to 15) specified by TREG, direct or indirect	1	1
NEG	Negate ACC	1	1
NORM	Normalize the contents of ACC, indirect	1	1
OR	OR ACC with data value, direct or indirect	1	1
	OR with ACC with shift of 0 to 15, long immediate	2	2
	OR with ACC with shift of 16, long immediate	2	2
ROL	Rotate ACC left	1	1
ROR	Rotate ACC right	1	1
SACH	Store high ACC with shift of 0 to 7, direct or indirect	1	1
SACL	Store low ACC with shift of 0 to 7, direct or indirect	1	1
SFL	Shift ACC left	1	1
SFR	Shift ACC right	1	1
SUB	Subtract from ACC with shift of 0 to 15, direct or indirect	1	1
	Subtract from ACC with shift of 0 to 15, long immediate	2	2
	Subtract from ACC with shift of 16, direct or indirect	1	1
	Subtract from ACC, short immediate	1	1
SUBB	Subtract from ACC with borrow, direct or indirect	1	1
SUBC	Conditional subtract, direct or indirect	1	1
SUBS	Subtract from ACC with sign-extension suppressed, direct or indirect	1	1
SUBT	Subtract from ACC with shift (0 to 15) specified by TREG, direct or indirect	1	1
XOR	Exclusive OR ACC with data value, direct or indirect	1	1
	Exclusive OR with ACC with shift of 0 to 15, long immediate	2	2
	Exclusive OR with ACC with shift of 16, long immediate	2	2
ZALR	Zero low ACC and load high ACC with rounding, direct or indirect	1	1

Tabela 11.2: Akumulatorski, aritmetični in logični ukazi

MNEMONIK	OPIS	BESEDE	CIKLI
ADRK	Add constant to current AR, short immediate	1	1
BANZ	Branch on current AR not 0, indirect	2	4
CMPR	Compare current AR with AR0	1	1
LAR	Load specified AR from specified data location, direct or indirect	1	2
	Load specified AR with constant, short immediate	1	2
	Load specified AR with constant, long immediate	2	2
MAR	Modify current AR and/or ARP, indirect (performs no operation when direct)	1	1
SAR	Store specified AR to specified data location, direct or indirect	1	1
SBRK	Subtract constant from current AR, short immediate	1	1

Tabela 11.3: Ukazi pomožnih (angl. auxiliary) registrov

MNEMONIK	OPIS	BESEDE	CIKLI
APAC	Add PREG to ACC	1	1
LPH	Load high PREG, direct or indirect	1	1
LT	Load TREG, direct or indirect	1	1
LTA	Load TREG and accumulate previous product, direct or indirect	1	1
LTD	Load TREG, accumulate previous product, and move data, direct or indirect	1	1
LTP	Load TREG and store PREG in accumulator, direct or indirect	1	1
LTS	Load TREG and subtract previous product, direct or indirect	1	1
MAC	Multiply and accumulate, direct or indirect	2	3
MACD	Multiply and accumulate with data move, direct or indirect	2	3
MPY	Multiply TREG by data value, direct or indirect	1	1
	Multiply TREG by 13-bit constant, short immediate	1	1
MPYA	Multiply and accumulate previous product, direct or indirect	1	1
MPYS	Multiply and subtract previous product, direct or indirect	1	1
MPYU	Multiply unsigned, direct or indirect	1	1
PAC	Load ACC with PREG	1	1
SPAC	Subtract PREG from ACC	1	1
SPH	Store high PREG, direct or indirect	1	1
SPL	Store low PREG, direct or indirect	1	1
SPM	Set product shift mode	1	1
SQRA	Square and accumulate previous product, direct or indirect	1	1
SQRS	Square and subtract previous product, direct or indirect	1	1

Tabela 11.4: Ukazi za množenje in manipuliranje s TREG in PREG

MNEMONIK	OPIS	BESEDE	CIKLI
B	Branch unconditionally, indirect	2	4
BACC	Branch to address specified by ACC	1	4
BANZ	Branch on current AR not 0, indirect	2	4
BCND	Branch conditionally	2	4
CALA	Call subroutine at location specified by ACC	1	4
CALL	Call subroutine, indirect	2	4
CC	Call conditionally	2	4
INTR	Soft interrupt	1	4
NMI	Nonmaskable interrupt	1	4
RET	Return from subroutine	1	4
RETC	Return conditionally	1	4
TRAP	Software interrupt	1	4

Tabela 11.5: Razvejivni ukazi

MNEMONIK	OPIS	BESEDE	CIKLI
BLDD	Block move from data memory to data memory, direct/indirect with long immediate source	2	3
	Block move from data memory to data memory, direct/indirect with long immediate destination	2	3
BLPD	Block move from program memory to data memory, direct/indirect with long immediate source	2	3
DMOV	Data move in data memory, direct or indirect	1	1
IN	Input data from I/O location, direct or indirect	2	2
OUT	Output data to port, direct or indirect	2	3
SPLK	Store long immediate to data memory location, direct or indirect	2	2
TBLR	Table read, direct or indirect	1	3
TBLW	Table write, direct or indirect	1	3

Tabela 11.6: Ukazi za manipulacijo s pomnilnikom ter vhodi in izhodi

MNEMONIK	OPIS	BESEDE	CIKLI
BIT	Test bit, direct or indirect	1	1
BITT	Test bit specified by TREG, direct or indirect	1	1
CLRC	Clear C bit	1	1
	Clear CNF bit	1	1
	Clear INTM bit	1	1
	Clear OVM bit	1	1
	Clear SXM bit	1	1
	Clear TC bit	1	1
	Clear XF bit	1	1
IDLE	Idle until interrupt	1	1
LDP	Load data page pointer, direct or indirect	1	2
	Load data page pointer, short immediate	1	2
LST	Load status register ST0, direct or indirect	1	2
	Load status register ST1, direct or indirect	1	2
NOP	No operation	1	1
POP	Pop top of stack to low ACC	1	1
POPD	Pop top of stack to data memory, direct or indirect	1	1
PSHD	Push data memory value on stack, direct or indirect	1	1
PUSH	Push low ACC onto stack	1	1
RPT	Repeat next instruction, direct or indirect	1	1
	Repeat next instruction, short immediate	1	1
SETC	Set C bit	1	1
	Set CNF bit	1	1
	Set INTM bit	1	1
	Set OVM bit	1	1
	Set SXM bit	1	1
	Set TC bit	1	1
	Set XF bit	1	1
SPM	Set product shift mode	1	1
SST	Store status register ST0, direct or indirect	1	1
	Store status register ST1, direct or indirect	1	1

Tabela 11.7: Krmilni ukazi

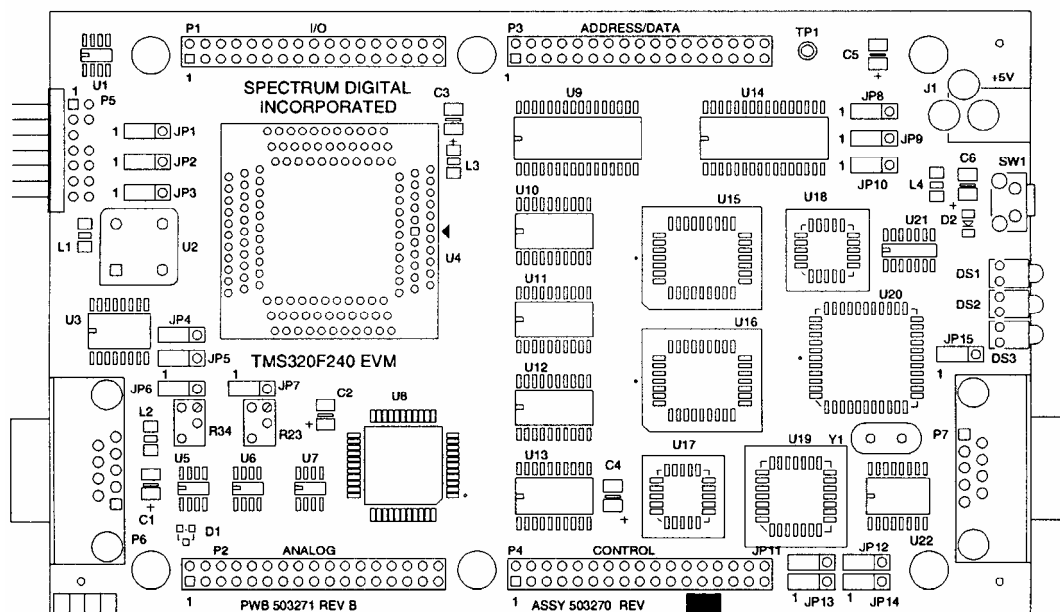
11.3.1.5 Razvojna orodja

Texas Instruments in nekateri drugi proizvajalci (angl. third parties) ponujajo celo vrsto razvojnih orodij za DSP TMS320F240. Tukaj bomo predstavili le razvojni modul (EVM) firme Spectrum Digital Inc. [32]. Sliki 11.11 in 11.12 kažeta izgled in blokovno shemo modula.

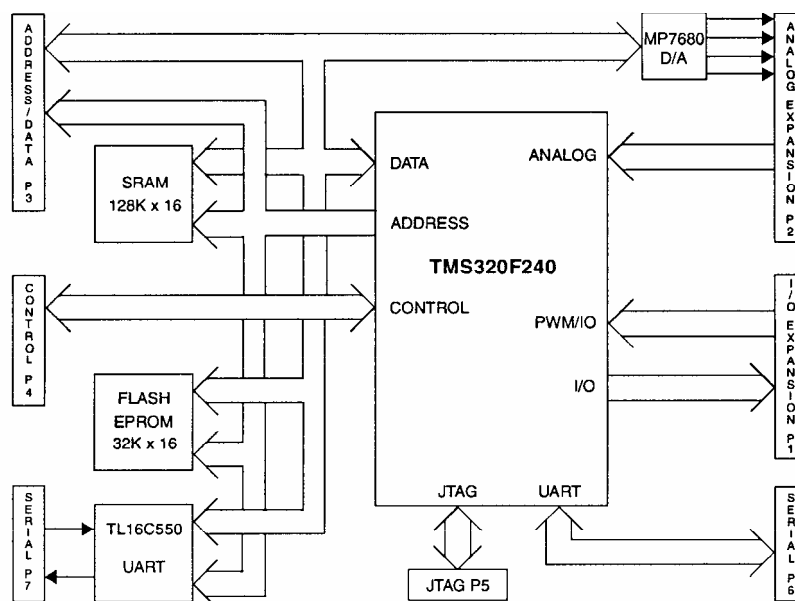
Na ploščici se poleg DSP-ja nahajajo naslednje enote:

- 128 Kword statični RAM pomnilnik (brez čakalnih stanj),
- 4-kanalni 12-bitni D/A pretvornik (MP7680),
- UART z gonilniki za EIA232,
- 32 Kword Flash EPROM,
- štirje razširitveni konektorji (podatkovno, naslovno, krmilno in I/O vodilo),
- IEEE 1149.1 JTAG konektor.

Programiranje krmilnika poteka s pomočjo prevajalnika za jezik C ter zbirnika v “off-line” režimu. Delo v “on-line” režimu pa omogoča nadzornik/razhroščevalnik “Source Debugger” v Windows okolju. Program dovoljuje hkratno spremljanje več podatkovnih in programskih pomnilniških blokov ter registrov.



Slika 11.11: EVM za TMS320F240



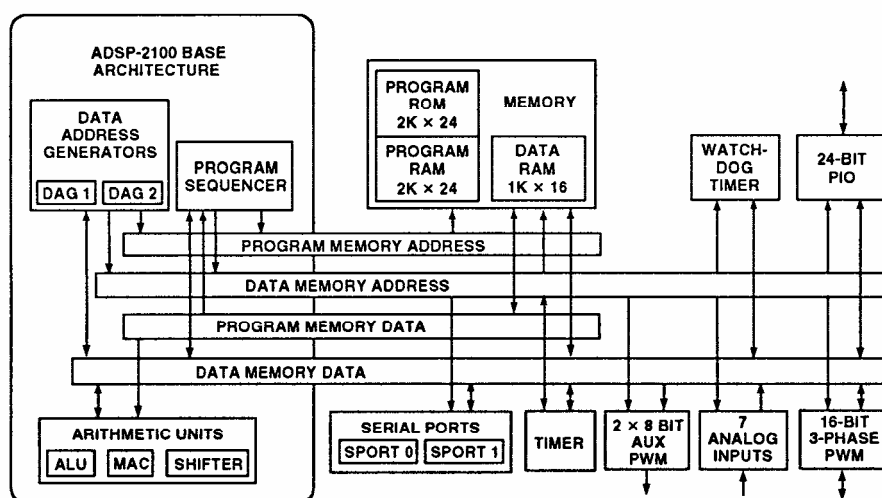
Slika 11.12: Blokovna shema EVM za TMS320F240

11.3.2 DSP mikrokrmilnik ADMC331

ADMC331 (Analog Devices) je mikrokrmilnik, ki je, podobno kot TMS320F240, namenjen krmiljenju in regulaciji pogonov z asinhronskimi, sinhronskimi, elektronsko komutiranimi in reluktančnimi motorji v aplikacijah kot so pralni stroji, črpalke, kompresorji v hladilnikih, ventilatorske naprave, industrijski pogoni s spremenljivo hitrostjo itd. Krmilnik (slika 11.13)

je zasnovan na DSP jedru ADSP-2100 (minimalni čas izvajanja vsakega ukaza ob neposrednem naslavljanju je 35 ns), ki vsebuje neodvisne enote za aritmetično-logične operacije (ALU), množenje in akumuliranje (MAC) in pomik (SHIFTER). Programsko (RAM, 2 K x 24 bit in ROM, 2 K x 24 bit) in podatkovno (RAM, 1 K x 16 bit) pomnilniško področje sta ločeni in povezani z ostalimi podsestavi prek lastnih podatkovnih² in naslovnih vodil.

Ostali funkcionalni deli ADMC331 so podobni kot pri konkurenčnih mikrokrmilnikih enake namembnosti: 7 A/D pretvornikov (ločljivost 12 bitov), enota za generiranje PWM, enote za asinhronski (UART) in sinhronski serijski prenos, 24 binarnih vhodov/izhodov ter 16-bitna časovna straža (watchdog).



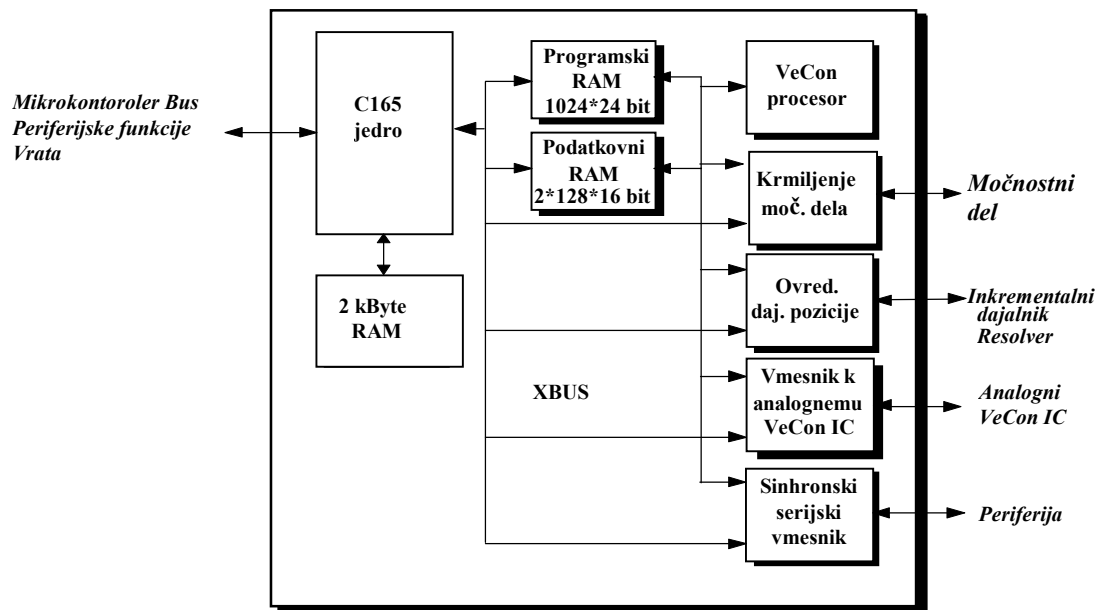
Slika 11.13: Blokovna shema DSP mikrokrmilnika ADMC331

11.3.3 Ve-Con

Omenimo tukaj še enega izmed prvih mikrokrmilniških sistemov za uporabo v močnostni elektroniki, ki le deloma spada med DSP krmilnike. VeCon (Vector Control) je nastal v prvi polovici devetdesetih kot rezultat sodelovanja štiridesetih velikih evropskih podjetij (ABB, AEG, Bosch, Grundig, Siemens...) [2]. Čeprav je bila v začetku ideja zasnovana na integraciji vseh funkcij na enem čipu, se je na koncu za tehnološko in finančno učinkovitejšo izkazala izvedba na dveh čipih: digitalnem in analognem.

Digitalni VeCon (slika 11.14) je v osnovi dvoprocesorski čip z dodatnim pomnilnikom in vhodno-izhodnimi enotami. 16-bitni Siemensov klasični mikrokrmilnik C165 skrbi za zunanjo regulacijsko zanko (regulacija pozicije, hitrosti in fluksa) ter krmiljenje, posluževanje in komunikacijo z drugimi sistemi. Programiranje je izvedljivo tudi v višjih jezikih.

² Dolžina ukazne (programske) besede je 24 bitov, podatkovne pa 16 bitov.



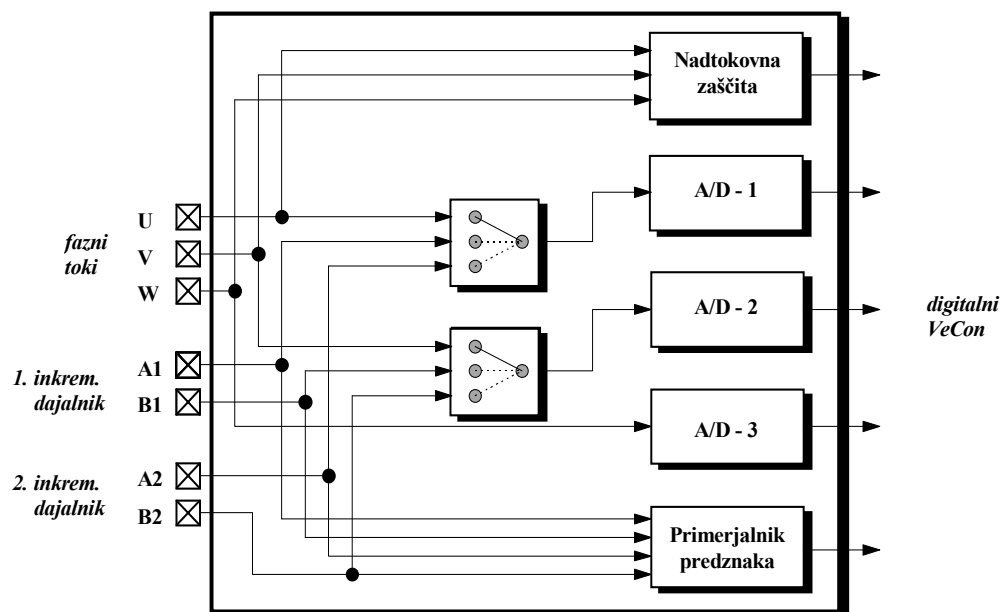
Slika 11.14: Digitalno integrirano vezje VeCon

Regulacijski program izvaja na DSP baziran 16-bitni regulacijski procesor VeCon. Poleg standardnih operacij vsebuje tudi tabelo za hitro računanje trigonometričnih funkcij (transformacije med koordinatnimi sistemi in ovrednotenje dajalnika pozicije).

Oba procesorja imata dostop do skupnega 24-bitnega programskega in 16-bitnega podatkovnega Dual Port RAM-a preko XBUS-a.

Periferne enote krmilijo močnostni del pogona (preko PWM), zajemajo podatke iz dajalnika pozicije, izmenjujejo podatke z analognim čipom VeCon in komunicirajo z dodatno periferijo (npr. serijska komunikacija z A/D in D/A pretvorniki).

Poseben čip, analogni VeCon (slika 11.15), je namenjen obdelavi analognih signalov iz treh merilnikov faznih tokov ter iz dveh inkrementalnih dajalnikov. Slednja lahko generirata signale bodisi v analogni ali v digitalni obliki. Čip tudi zaznava, ali je vrednost toka presegla dovoljeno mejo.



Slika 11.15: Analogno VeCon integrirano vezje